

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-125982

(43)Date of publication of application : 18.05.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 62-284861

(71)Applicant : SEIKO INSTR & ELECTRON LTD

(22)Date of filing : 11.11.1987

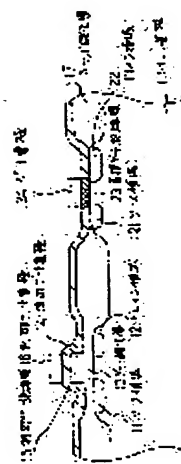
(72)Inventor : ISHII KAZUTOSHI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To store both the information which must be held for a long time and the information which must be frequently re-written with a high reliability by a method wherein a floating gate storage type memory and an insulating film storage type memory are formed on a same substrate.

CONSTITUTION: A floating gate storage type memory and an insulating film storage type memory are formed on a P-type silicon substrate. The construction of the floating gate storage type memory is such that an N+type source region 11 and an N+type drain region 12 are formed in the surface of the P-type silicon substrate 1 and a floating gate electrode 14 is formed on the substrate 1 with a gate insulating film 13 between and a control gate electrode 16 is formed on the floating gate electrode 14 with a control gate insulating film 15 between. On the other hand, the construction of the insulating film storage type memory is such that an N+type source region 21 and an N+type drain region 22 are formed in the surface of the P-type silicon substrate 1 and a gate electrode 24 is formed on the substrate 1 with a storage gate insulating film 23 on the source and drain regions between. As the control gate insulating film 15 of the floating gate storage type memory and the storage gate insulating film 23 of the insulating film storage type memory are composed of a common film, two different type non-volatile memories can be formed by a simple process.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP) ⑪ 特許出願公開  
⑫ 公開特許公報(A) 平1-125982

⑬ Int.Cl.<sup>4</sup>  
H 01 L 29/78

識別記号  
3 7 1

庁内整理番号  
7514-5F

⑭ 公開 平成1年(1989)5月18日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-284861

⑰ 出 願 昭62(1987)11月11日

⑱ 発 明 者 石 井 和 敏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内

⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 同一半導体基板の表面部分に、浮遊ゲート蓄積型半導体メモリと絶縁膜蓄積型半導体メモリとを形成したことを特徴とする半導体装置。

(2) 前記絶縁膜蓄積型半導体メモリの蓄積ゲート絶縁膜と、前記浮遊ゲート蓄積型半導体メモリの制御ゲート絶縁膜の少なくとも一部が同一絶縁膜であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、コンピュータのような電子機器に使用されている半導体装置に関する。

(発明の概要)

この発明は、コンピュータのような電子機器に

使用されている半導体装置において、同一チップ内に浮遊ゲート蓄積型半導体メモリと絶縁膜蓄積型半導体メモリを形成することにより、非常に信頼性の高い半導体装置を実現したものである。

(従来の技術)

半導体装置の中で電気的に書換え可能な半導体不揮発性メモリには、浮遊ゲート蓄積型半導体メモリと絶縁膜蓄積型半導体メモリの二種類のメモリがある。第2図は、絶縁膜蓄積型半導体メモリの断面図である。このメモリは、書換え特性が良く、破壊しない利点があるにもかかわらず、書換え回数の増加に伴い記憶の保持時間が短くなってしまふことである。

(T. Hagihara et al "A 16kbit Electrically Erasable PROM Using n-channel Si-gate MNOS Technology" IEEE Journal of Solid-State Circuits, vol.SC-15 pp346 1980)

又、一方の浮遊ゲート蓄積型半導体メモリは、保持時間は、10年以上と絶縁膜蓄積型メモリに比べ非常にすぐれているのにもかかわらず、書換え時

特開平1-125982(2)

の破壊が生じやすい問題点を有している。

(G.Yaron et al "A 16KB<sup>2</sup> PROM Employing New Array Architecture and Designed-In Reliability Features" IEEE Journal of Solid-State Circuits, vol.SC-17, NO.5 pp633 1982)

〔発明が解決しようとする問題点〕

我々が記憶しようとする情報には、頻繁に書換えるが保持時間が短くてよい内容と、書換えはほとんどしないが保持時間として非常に長い時間を必要とする内容がある。頻繁に書換える場合には、絶縁膜蓄積型半導体メモリが適している。一方、ほとんど書換ええない情報には、浮遊ゲート蓄積型半導体メモリが適している。しかし、頻繁に書換える内容とほとんど書換ええないが保持時間を長く必要な内容の両方の情報を記憶する場合には、絶縁膜蓄積型メモリを用いると保持時間が短いため問題があり、浮遊ゲート蓄積型メモリを用いると書換えによるメモリの破壊が問題になってしまう。

〔問題点を解決するための手段〕

ロン注入あるいはトンネル注入などにより行われる。浮遊ゲート電極14の中の電荷は、周囲が絶縁膜で囲まれているので、その状態を10年以上安定して維持できる。また、絶縁膜蓄積型メモリは、P型シリコン基板1の表面に、N<sup>+</sup>型のソース領域21とドレイン領域22を形成し、ソース・ドレイン領域上の蓄積ゲート絶縁膜23を介してゲート電極24が形成されている。蓄積ゲート絶縁膜23の中に電荷を注入あるいは抜き取ることにより、ソース・ドレイン領域間のチャネルコンダクタンスが変化することにより情報を記憶する。蓄積ゲート絶縁膜23は、50Å以下のトンネル酸化膜の上に100Å以上のシリコンチタ化膜を形成した複合膜より構成されている。電荷は、トンネル酸化膜とシリコンチタ化膜の界面から、シリコンチタ化膜に分布する。シリコンチタ化膜の上に、さらに、酸化膜を形成することにより、電荷の揮発を防止できる。絶縁膜蓄積型メモリの場合は、トンネル膜が50Å以下と薄いため、書換えによる保持時間の低下が問題になるが、絶縁膜中に電荷を蓄積す

上記問題点を解決するために、この発明は、浮遊ゲート蓄積型半導体メモリと絶縁膜蓄積型半導体メモリとを簡単に同一基板に形成することにより、保持時間を長く必要とする情報と、頻繁に書換えを必要とする情報とを記憶できるようにした。

〔実施例〕

以下に、この発明の実施例を図面に基づいて説明する。第1図は、本発明の半導体装置の断面図である。P型シリコン基板1の表面に、浮遊ゲート蓄積型メモリと絶縁膜蓄積型メモリが形成されている。浮遊ゲート蓄積型メモリは、P型シリコン基板1の表面にN<sup>+</sup>型のソース領域11とドレイン領域12が形成されており、ゲート絶縁膜13を介して浮遊ゲート電極14が形成されており、浮遊ゲート電極14の上に制御ゲート絶縁膜15を介して制御ゲート電極16が形成されている。浮遊ゲート電極14に電荷を注入あるいは抜き取ることにより、ソース・ドレイン領域間のチャネルコンダクタンスを変化させることにより情報を記憶する。浮遊ゲート電極14への電荷の注入は、ホットエレクト

るために、トンネル膜にピンホールが存在しても保持時間の低下を防げる。第1図の半導体不揮発性メモリの場合は、浮遊ゲート蓄積型メモリの制御ゲート絶縁膜15と、絶縁膜蓄積型メモリの蓄積ゲート絶縁膜23を同一の膜に形成しているために、両方の異なるタイプの不揮発性メモリを簡単なプロセスにより形成できる。従って、浮遊ゲート蓄積型メモリの制御ゲート電極16は、絶縁膜蓄積型メモリのゲート電極24とは同一プロセスが形成されている。ソース領域11、21及びドレイン領域12、22でも同時に形成できる。書換えを頻繁にしないが、長記憶を必要とする情報は、浮遊ゲート蓄積型メモリに記憶し、書換えを頻繁に行う情報は、絶縁膜蓄積型メモリへ記憶することができる。即ち、同一基板上に異なるタイプの不揮発性メモリを形成することにより、情報を信頼性高く記憶できる。

第3図は、本発明の半導体装置の第2の実施例の断面図である。即ち、浮遊ゲート蓄積型メモリの制御ゲート絶縁膜を浮遊ゲート電極14の上に、

蓄積ゲート絶縁膜23と50Å以上の酸化膜33を設けた構造になっている。この50Å以上の酸化膜33を形成することにより、浮遊ゲート電極14と制御ゲート電極16との間の制御ゲート絶縁膜への電荷のトラップを防ぐ働きをする。50Å以上の酸化膜33が電界を弱めるためである。

第4図は、本発明の半導体装置の第3の実施例の断面図である。絶縁膜蓄積型メモリのソース・ドレイン領域の上の絶縁膜を厚くした構造にした。この厚い膜は、浮遊ゲート電極14の上の膜33,23と同じ構造をしている。この構造にすることにより、絶縁膜蓄積型メモリの信頼性を向上することができる。

〔発明の効果〕

この発明は、以上説明したように、同一基板上に浮遊ゲート蓄積型メモリと絶縁膜蓄積型メモリとを形成することにより、保持時間を長く必要な情報と頻繁に書換えを必要とする情報とを信頼性高く記憶する効果がある。本発明は、N型メモリだけでなく、P型メモリも可能であることはいう

までもない。

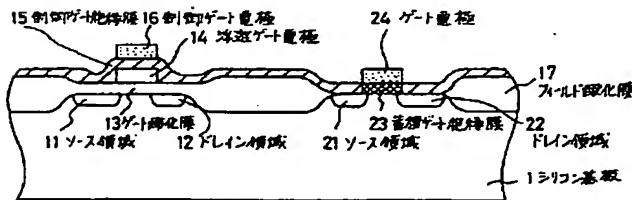
4. 図面の簡単な説明

第1図は、この発明にかかる半導体装置の断面図、第2図は、従来の半導体装置の断面図、第3図及び第4図はこの発明にかかる半導体装置の断面図である。

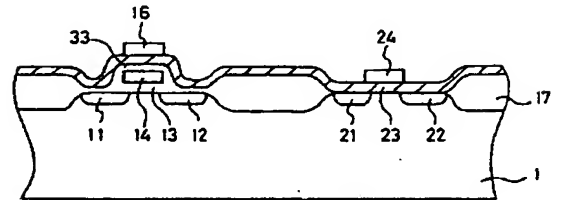
- 1 . . . . . シリコン基板
- 11,21 . . . . . ソース領域
- 12,22 . . . . . ドレイン領域
- 13 . . . . . ゲート絶縁膜
- 14 . . . . . 浮遊ゲート電極
- 15 . . . . . 制御ゲート絶縁膜
- 16 . . . . . 制御ゲート電極
- 23 . . . . . 蓄積ゲート絶縁膜
- 24 . . . . . ゲート電極

以 上

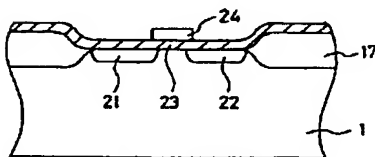
出願人 セイコー電子工業株式会社



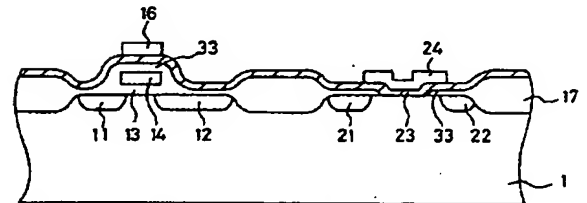
半導体不揮発性メモリの断面図  
第 1 図



半導体不揮発性メモリの断面図  
第 3 図



従来の半導体不揮発性メモリの断面図  
第 2 図



半導体不揮発性メモリの断面図  
第 4 図